

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 10 月 04 日  
Application Date

申請案號：091123038  
Application No.

申請人：瑞昱半導體股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 9 月 18 日  
Issue Date

發文字號：09220933550  
Serial No.

91A-0217W

申請日期	91.10.4
案 號	91123038
類 別	

A4  
C4

(以上各欄由本局填註)

## 發 明 專 利 說 明 書

一、發明 名稱	中 文	乙太網路之通道估測電路裝置及方法
	英 文	
二、發明 人	姓 名	林后唯、顏光裕、郭協星、謝孟翰
	國 籍	中華民國
三、申請人	住、居所	台北市士林大東路 15-36 號 3 樓 台中市愛國街 88 巷 46 號 台北市士林區葫蘆街 54 巷 5 號 4 樓 彰化縣伸港鄉大同村大同路 63 號
	姓 名 (名稱)	瑞昱半導體股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學園區 30077 工業東九路 2 號
	代 表 人 姓 名	葉博任

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6



本案已向：

國(地區) 申請專利，申請日期：

案號：

，☐有 ☒無主張優先權

無

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

## 四、中文發明摘要（發明之名稱：乙太網路之通道估測電路裝置及方法）

本發明係有關一種乙太網路之通道估測電路裝置及方法，其包含一頻率響應平方計算電路、一大小自動對齊調整電路、一比率比較電路、以及一比率對應電路，該頻率響應平方計算電路係用以產生輸入訊號在第一頻率及第二頻率處之頻率響應，並將該第一頻率及第二頻率處的頻率響應之大小個別予以取平方；該大小自動對齊調整電路將該兩頻率響應之大小平方予以數值上調整對齊，以產生正規化之一第一視窗化訊號及一第二視窗化訊號之比率；該比率比較電路將該第二視窗化訊號乘上目前的比率，再與該第一視窗化訊號比較，以由比較的結果去調整目前的比率；該比率對應電路依據比率比較電路之結果去調整DFE或是Analog AGC/Digital AGC的初始參數。

英文發明摘要（發明之名稱：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

## 五、發明說明 ( 1 )

## 【本發明之領域】

本發明係關於一種乙太網路之通道估測電路裝置及方法，尤指一種適用於超高速乙太網路之通道估測電路裝置及方法。

## 【本發明之背景】

於一般有線傳輸之通訊系統中，在接收端的接收信號一般都會受到傳輸頻道有限頻寬特性的影響而有碼際干擾 (Inter-symbol-interference, ISI) 之現象，為了避免傳輸頻道受到干擾，通常係利用一個等化器 (Equalizer) 來消除 ISI 的影響，最常使用的等化器為決策迴授等化器 (Decision Feedback Equalizer, DFE)，決策迴授等化器可由前饋等化器 (Feed-Fordward Equalizer, FFE) 及迴授等化器 (Feed-Back Equalizer, FBE) 所組成，而在超高速乙太網路 (Gigabit Ethernet) 中，如第1圖所示之接收器系統架構圖，除了要解決通道不良性 (channel impairment) 外，還要同時解決決策迴授等化器 (DFE)，時脈還原器 (Timing Recovery)、迴音消除器 (Echo)、近端串音消除器 (NEXT) 等共四個迴路的收斂。為了避免各個迴路收斂時的互動行為造成系統發散，一種直接的方法就是在收斂的初期就”訂”出各迴路之最佳參數，然後再啟動各迴路以進行收斂。至於如何的訂出最佳參數，關鍵就在於頻道估測 (channel estimation)。

## 五、發明說明 (2)

在802.3u及802.3ab中規定使用CAT-5 cable作為傳輸的媒介，由於CAT-5 cable是一個非時變(time invariant)的通道，所以可以事先針對不同的線長，求出其等化器的參數，在802.3u(Fast Ethernet)中使用MLT-3作為傳輸的信號格式，在接收端利用MLT-3信號的特性，可發現接收信號在過渡期間(transition period)的斜率(slope)會隨著不同的傳輸線長而有線性的變化，所以藉由觀察此斜率(slope)即可以估測出線長，並進而依據不同的線長以表格對應(table mapping)或是換算的方式，而設定出等化器的參數。然在超高速乙太網路中，由於使用的是PAM-5的信號格式，所以無法利用前述的方法來估測線長，此外，前述方法在某些環境下(例如：傳送器的功率太大或太小時)，其估測準度並不佳。另有以利用量測接收訊號能量(measure received signal energy)的方法來估測線長，然而同樣的也有上述方法的缺點。

由於CAT-5的通道環境可以視為是非時變，所以若能精確的估測出線長，則相對的決策迴授等化器或是類比/數位自動增益控制器的參數可以表格對應或是換算的方式得到。

Israel Greiss由觀察接收信號的頻譜與線長的關係找出估測線長的方法，在低頻的部分，由於不同的廠商所製造的變換器(transformer)差異極大，而transformer對低頻響應的影響極大，所以低頻響應部

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明 ( 3 )

分的變異也很大，另外，由於大部分的雜訊都集中在高頻部分，所以高頻部分頻譜變異也很大，故高低頻的響應均不適合用來做線長的估計，所以可選定6MHz與43MHz的響應之比率來作為線長估計，根據模擬結果發現其準確度相當高，但是在實際以硬體實現時上卻有成本太高的問題，因為要準確的計算出6MHz與43MHz的成分，需要做很多點的DFT(Discrete Fourier Transform)計算，這牽涉到大量的乘法及加法，使得IC面積變得龐大而增加成本，而難以符合實際之需求，故習知之超高速乙太網路之通道估測電路裝置實有予以改進之必要。

發明人爰因於此，本於積極發明之精神，亟思一種可以解決上述問題之「乙太網路之通道估測電路裝置及方法」，幾經研究實驗終至完成此項發明。

## 【本發明之概述】

本發明之主要目的係在提供一種乙太網路之通道估測電路裝置及方法，俾能精確的估測出線長，而使相對的決策迴授等化器或是類比/數位自動增益控制器的參數可用表格對應或是換算的方式得到，進而達到既穩定且快速的收斂。

本發明之另一目的係在提供一種乙太網路之通道估測電路裝置及方法，俾能以準確度高且和傳輸器功率無關的方法來估計線長。

## 五、發明說明(4)

本發明之又一目的係在提供一種乙太網路之通道估測電路裝置及方法，其可簡化所需的硬體。

為達成上述之目的，本發明所提出之超高速乙太網路之通道估測電路裝置包括：一頻率響應平方計算電路，其係用以產生輸入訊號在頻率為15.625MHz的第一頻率及31.25MHz的第二頻率處之頻率響應，並將該第一頻率及第二頻率處的頻率響應之大小(magnitude)個別予以取平方；一大小自動對齊調整電路，其將該頻率響應平方計算電路之兩頻率響應之大小平方予以數值上調整對齊，以產生正規化之一第一視窗化訊號及一第二視窗化訊號之比率；一比率比較電路，係對該第二視窗化訊號乘上目前的比率，再與該第一視窗化訊號比較，以由比較的結果得知目前的比率是否過大或過小，以當累積超過一預設次數都判斷過大或過小時，依此結果去調整目前的比率；以及一比率對應電路，其依據比率比較電路之結果去調整DFE或是Analog AGC(Auto-Gain Control)或是Digital AGC的參數。本發明可適用在10/100M以及超高速(Gigabit)乙太網路上。

由於本發明構造新穎，能提供產業上利用，且確有增進功效，故依法申請發明專利。

## 【圖式簡單說明】

第1圖係為一超高速乙太網路(Gigabit Ethernet)接收器之系統架構圖。



## 五、發明說明 (5)

第2圖係本發明乙太網路之通道估測電路裝置之系統架構圖。

第3圖係顯示輸入訊號之頻率響應。

第4圖係依據本發明之頻率響應平方計算電路的電路圖。

第5圖係本發明大小自動對齊調整電路之示意圖。

第6圖係本發明大小自動對齊調整電路之虛擬碼。

第7圖係本發明比率比較電路之電路圖。

第8圖係本發明比率對應電路之電路圖。

第9圖係本發明之乙太網路通道估測方法的流程圖。

## 【圖號說明】

10	頻率響應平方計算電路	20	大小自動對齊調整電路
30	比率比較電路	31	第一乘法器
32	比較器	33	第一加法器
40	比率對應電路	41	第二多工器
42	第二乘法器	43	第三加法器

## 【較佳具體實施例之詳細說明】

第2圖顯示本發明之乙太網路之通道估測電路裝置之一較佳實施例，其係由一頻率響應平方計算電路10、一大小自動對齊調整電路20、一比率比較電路30、一比率對應電路40所構成。

由於超高速乙太網路之符碼率(symbol rate)為125MHz，前述頻率響應平方計算電路10係用以產生輸入

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明 (6)

訊號在頻率為 $15.625\text{MHz}$ ( $125/8\text{ MHz}$ )的第一頻率及 $31.25\text{MHz}$ ( $125/4\text{ MHz}$ )的第二頻率處之頻率響應，並將該第一頻率及第二頻率處的頻率響應之大小(magnitude)個別予以取平方，該大小自動對齊調整電路20將該頻率響應平方計算電路之兩頻率響應之大小平方予以數值上調整對齊，以產生正規化之一第一視窗化訊號及一第二視窗化訊號之比率，該比率比較電路30係對該第二視窗化訊號乘上目前的比率，再與該第一視窗化訊號比較，以由比較的結果得知目前的比率是否過大或過小，以當累積超過一預設次數都判斷過大或過小時，依此結果去調整目前的比率。比率對應電路40係依據比率比較電路30之結果去調整DFE或是Analog AGC或是Digital AGC的參數。

如本發明之背景中所述，Israel Greiss選定 $6\text{MHz}$ 與 $43\text{MHz}$ 的響應之比率來作為線長估計，但因要準確的計算出 $6\text{MHz}$ 與 $43\text{MHz}$ 的成分，需要做很多點的DFT計算，這牽涉到大量的乘法及加法，難以符合實際之需求，而如第3圖所示，本發明之頻率響應平方計算電路10以計算八點之第一頻率( $15.625\text{MHz}$ )的頻率響應 $1f$ 及四點之第二頻率( $31.25\text{MHz}$ )之頻率響應 $hf$ 來替代 $6\text{MHz}$ 與 $43\text{MHz}$ 的頻率響應，其中：

輸入訊號在第一頻率之8點DFT：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明 (7)

$$lf|_{15.625MHz} = \sum_{n=0}^7 x(n)e^{\frac{j2\pi n}{8}} = (x(0) - x(4)) - j(x(2) - x(6)) + \frac{1}{\sqrt{2}}x(1)(1-j) + \frac{1}{\sqrt{2}}x(3)(-1-j) + \frac{1}{\sqrt{2}}x(5)(-1+j) + \frac{1}{\sqrt{2}}x(7)(1+j) \dots (1)$$

輸入訊號在第二頻率之4點DFT：

$$hf|_{31.25MHz} = \sum_{n=0}^3 x(n)e^{\frac{j2\pi n}{4}} = (x(0) - x(2)) - j(x(1) - x(3)) \dots (2)$$

在第(1)式中因有 $\frac{1}{\sqrt{2}}$ 的常數，不適合硬體實現，為了簡化硬體電路，將第(1)式中的 $\frac{1}{\sqrt{2}}$ 的常數去除並以+1替代，故第(1)式成為：

$$lf|_{15.625MHz} = \sum_{n=0}^7 x(n)e^{\frac{j2\pi n}{8}} \approx (x(0) + x(1) - x(3) - x(4) - x(5) + x(7)) - j(x(1) + x(2) + x(3) - x(5) - x(6) - x(7)) \dots (3)$$

所以在第一頻率之頻率響應大小平方 $pow\_lf$ 為  
 $[x(0) - x(3) + x(1) - x(4) + x(7) - x(5)]^2 +$   
 $[x(1) + x(2) + x(3) - x(5) - x(6) - x(7)]^2$ ，而第二頻率之頻率響應大小平方 $pow\_hf$ 為 $[x(0) - x(2)]^2 +$   
 $[x(1) - x(3)]^2$ 。

第4圖顯示該頻率響應平方計算電路10之詳細電路圖，其中頻率響應平方計算電路10主要計算輸入訊號在第一頻率之頻率響應大小平方及在第二頻率之頻率響應大小

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明(8)

平方，其係由複數個加法器、乘法器及遲延元件所組成，以當有輸入訊號時產生第一頻率之頻率響應大小平方信號  $pow\_lf = [x(0) - x(3) + x(1) - x(4) + x(7) - x(5)]^2 + [x(1) + x(2) + x(3) - x(5) - x(6) - x(7)]^2$ ，及第二頻率之頻率響應大小平方信號  $pow\_hf = [x(0) - x(2)]^2 + [x(1) - x(3)]^2$ 。

因要計算  $pow\_lf$  及  $pow\_hf$  信號的比率來作為線長估計，且該  $pow\_lf$  及  $pow\_hf$  信號均大於或等於 0 且為遞增，當該  $pow\_lf$  或  $pow\_hf$  信號因累加而超過硬體既有位元所能容納之數值時，即有溢位產生，此時  $pow\_lf$  及  $pow\_hf$  信號的比率係一錯誤值，該大小自動對齊調整電路 20 於該  $pow\_lf$  或  $pow\_hf$  信號因累加而超過一特定值 (0X8000<sub>H</sub>) 時，例如第 5 圖中所顯示的第 15 位元，會將  $pow\_lf$  或  $pow\_hf$  信號往右移 8 位元，且將空出之高位元補 0，並持續產生正規化之一第一視窗化訊號  $win\_lf$  及一第二視窗化訊號  $win\_hf$ ，以避免因溢位而產生錯誤之比率值，該大小自動對齊調整電路 20 可由第 6 圖之虛擬碼 (Pseudo Code) 經由例如 Verilog 或 VHDL 之硬體描述語言所實現。

因此，可估計線長之比率值為：

$$ratio = \frac{|l_f|_{15.625MHz}^2}{|hf|_{31.25MHz}^2} = \frac{pow\_lf_{15.625MHz}}{pow\_hf_{31.25MHz}} = \frac{win\_lf}{win\_hf} \dots (4)$$

## 五、發明說明 (9)

若要計算第(4)式中的比率(ratio)以求線長的話，必須要用硬體實現一個面積頗大的除法器，本發明之比率比較電路30則如第7圖所示，係以一比較器32、一第一乘法器31、一第一加法器33和其他邏輯電路來取代除法器以達到除法的功能並減少硬體的面積，其中，當初始重置後，以訊號load將0米之通道的比率初始值ratio\_i載入至一暫存器，該第一乘法器31將該第二視窗化訊win\_hf號乘上目前的比率，再利用該比較器32去比較目前比率乘上win\_hf與win\_lf之大小，藉此可由比較的結果得知目前比率是否過大或過小，該第一加法器33將該比較器32之結果累加，以當累積超過一預設次數(例如兩次)都判斷過大或過小時，依此結果去調整目前的比率，其中u為比率的調整大小值(step size)，當訊號cnt[1]為"0"時，則表累積超過兩次訊號win\_lf大於訊號win\_hf，即目前比率累積超過兩次都判斷過大，故用-u以調降目前比率的大小，當訊號cnt[1]為"1"時，則用+u以調降昇前比率的大小。

前述之比率對應電路40如第8圖所示，其主要包括一第二多工器41、一第二乘法器42及一第三加法器43所組成，其中當初始重置後，以訊號load將Digital AGC的參數初始值dagc\_i\_r載入至一暫存器，該第二多工器41具有一第一輸入端以輸入+1常數，一第二輸入端以輸入-1常數，一控制端則連接至該第一加法器33輸出之訊號cnt[1]，以當該第一加法器33累加結果超過一預設次數

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明 (10)

(例如兩次)時，依此結果輸出+1或-1的常數，俾去調整 Digital AGC的參數，該第二乘法器42將第二多工器41之輸出乘以一特定常數，該第三加法器43將該第二乘法器42之輸出及目前 Digital AGC的參數值累加，以調整目前 Digital AGC的參數值。該特定常數delta\_g定義為在各種通道長度下，Digital AGC參數值與該比率之比值再乘以u，例如：假設通道長度從0m至100m的比率 (radio)由3.0(ratio\_i)線性增加至4.125，且 Digital AGC由8.0(dagc\_i\_r)線性增加至25.0，而 ratio是以u的速度收斂，則可知 Digital AGC是以  $\text{delta\_g} = u * (\text{slope2} / \text{slope1})$  的速度收斂，其中  $\text{slope1} = (4.125 - 3.0) / 100$ ， $\text{slope2} = (25.0 - 8.0) / 100$ 。

第9圖進一步顯示本發明之乙太網路通道估測方法的流程圖，於步驟S301輸入訊號；於步驟S302中(計算第一頻率響應平方步驟)，係計算該輸入訊號在第一頻率(15.625MHz)之八點第一頻率響應之平方值  $\text{pow\_lf} = [x(0) - x(3) + x(1) - x(4) + x(7) - x(5)]^2 + [x(1) + x(2) + x(3) - x(5) - x(6) - x(7)]^2$ ，以替代 6MHz處頻率響應平方值，於步驟S303中(計算第二頻率響應平方步驟)，係計算該輸入訊號在第二頻率(31.25MHz)之四點第二頻率響應之平方值  $\text{pow\_hf} = [x(0) - x(2)]^2 + [x(1) - x(3)]^2$ ，以替代 43MHz處頻率響應平方值。

## 五、發明說明 (11)

於步驟S304中(正規化步驟)，因要計算pow\_lf及pow\_hf的比率來作為線長估計，且該pow\_lf及pow\_hf之值均大於或等於0且為遞增，當該pow\_lf或pow\_hf之值因累加而產生溢位時，此時pow\_lf及pow\_hf的比率係一錯誤值，該正規化步驟於該pow\_lf或pow\_hf之值因累加而超過一特定值(0X8000H)時，會將pow\_lf或pow\_hf信號除以一特定值(256)，並產生正規化之一第一視窗化訊號win\_lf及一第二視窗化訊號win\_hf，以避免因溢位而產生錯誤之比率值。

於步驟S305中(計算比率步驟)，係接收於步驟S304中所算出之該第一以及該第二視窗化訊號，並計算出該比率，其中，該比率與該通道長度為一近似線性關係，可利用該比率換算出DFE或是Analog AGC或是Digital AGC相關的參數。

由以上之說明可知，由於本發明之乙太網路之通道估測電路裝置及方法採用和傳輸器功率無關的線長估計方法，所以準確度高，又採用近似的DFT計算方法，簡化了所需的硬體，利用簡單的邏輯電路和比較器取代了原先計算比率所需要的除法器，同樣地簡化了所需的硬體，利用本發明之簡單架構可以準確的換算出DFE或是Analog AGC或是Digital AGC相關的參數。

綜上所陳，本發明無論就目的、手段及功效，在在均顯示其迥異於習知技術之特徵，為乙太網路製作上一大突破，懇請 貴審查委員明察，早日賜准專利，俾嘉惠社

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

### 五、發明說明 ( 12 )

會，實感德便。惟應注意的是，上述諸多實施例僅係為了便於說明而舉例而已，本發明所主張之權利範圍自應以申請專利範圍所述為準，而非僅限於上述實施例。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線



## 六、申請專利範圍

1. 一種乙太網路之通道估測電路裝置，用以估測一通道長度，該乙太網路以一符碼速率 (symbol rate) 傳送資料，該電路裝置包括：

一頻率響應平方計算電路，接受一輸入訊號並產生該輸入訊號在一第一頻率以及一第二頻率之頻率響應平方值；以及

一比率比較電路，係接收該第一以及該第二頻率之頻率響應平方值，並求出一比率，依據該比率用以估測該通道長度；

其中該第一頻率以及該第二頻率分別為該符碼速率的  $1/M$  倍以及  $1/N$  倍，其中  $M$  和  $N$  皆為 2 的冪次方，且  $M$  不等於  $N$ 。

2. 如申請專利範圍第 1 項所述之電路裝置，其中，該第一頻率為 15.625MHz，該第二頻率為 31.25MHz。

3. 如申請專利範圍第 1 項所述之電路裝置，其中，該第一頻率頻率響應平方可近似為  $[x(0)-x(3)+x(1)-x(4)+x(7)-x(5)]^2 + [x(1)+x(2)+x(3)-x(5)-x(6)-x(7)]^2$ 。

4. 如申請專利範圍第 1 項所述之電路裝置，其中，該頻率響應平方計算電路的第二頻率頻率響應平方可近似為  $[x(0)-x(2)]^2 + [x(1)-x(3)]^2$ 。

5. 如申請專利範圍第 1 項所述之電路裝置，其該比率比較電路更包含一大小自動對齊調整電路，接受該第一

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 六、申請專利範圍

頻率及第二頻率之頻率響應平方值，並予以數值上調整對齊，並產生該比率。

6. 如申請專利範圍第5項所述之電路裝置，其更包含一比率對應電路，根據該比率，調整DFE或是Analog AGC或是Digital AGC的參數。

7. 一種乙太網路之通道估測電路裝置，用以估測一通道長度，該電路裝置主要包括：

一頻率響應平方計算電路，接受一輸入訊號並產生該輸入訊號在一第一頻率以及一第二頻率之頻率響應平方；

一大小自動對齊調整電路，接受該第一及第二頻率響應平方，並予以數值上調整對齊，並產生正規化之一第一視窗化訊號及一第二視窗化訊號之一比率；

一比率比較電路，係將該第二視窗化訊號乘上該比率，再與該第一視窗化訊號比較，依此比較的結果去調整該比率。

8. 如申請專利範圍第7項所述之電路裝置，其更包含一比率對應電路，根據該比率，調整DFE或是Analog AGC或是Digital AGC的參數。

9. 如申請專利範圍第7項所述之電路裝置，其中，該第一頻率之頻率響應平方可近似為  $[x(0) - x(3) + x(1) - x(4) + x(7) - x(5)]^2 + [x(1) + x(2) + x(3) - x(5) - x(6) - x(7)]^2$ 。

## 六、申請專利範圍

10. 如申請專利範圍第7項所述之電路裝置，其中，該第二頻率之頻率響應平方可近似為  $[x(0) - x(2)]^2 + [x(1) - x(3)]^2$ 。

11. 如申請專利範圍第7項所述之電路裝置，其中，該大小自動對齊調整電路係在該第一或第二頻率之頻率響應平方之值超過一預設值時，將該第一及第二頻率之頻率響應平方之值向右移預設之k位元，而產生正規化之該第一視窗化訊號及該第二視窗化訊號。

12. 如申請專利範圍第11項所述之電路裝置，其中，該預設值為  $0 \times 8000_{\text{H}}$ 。

13. 如申請專利範圍第11項所述之電路裝置，其中，該預設之k位元為8位元。

14. 如申請專利範圍第8項所述之電路裝置，其中，該比率比較電路主要包括：

一第一乘法器，將該第二視窗化訊號乘上該比率；

一比較器，係比較該第一乘法器所輸出之乘積值與該第一視窗化訊號值之大小，由比較的結果得知該比率是否過大或過小；以及

一第一加法器，將該比較器之結果累加，當累積超過一預設次數都判斷過大或過小時，依此結果去調整該比率。

15. 如申請專利範圍第14項所述之電路裝置，其中，該比率比較電路更包括：

## 六、申請專利範圍

一第一多工器，具有一第一輸入端以輸入一正值常數，一第二輸入端以輸入一負值常數，一控制端連接至該第一加法器之一輸出端，以當該第一加法器累加結果超過一預設次數時，依此結果去調整該比率；以及

一第二加法器，用以將該第一多工器之輸出及該比率累加，以調整該比率。

16. 如申請專利範圍第14項所述之電路裝置，其中，該預設次數為二次。

17. 如申請專利範圍第7項所述之電路裝置，其中，該第一頻率為15.625MHz，該第二頻率為31.25MHz。

18. 如申請專利範圍第14項所述之電路裝置，其中，該比率對應電路主要包括：

一第二多工器，具有一第一輸入端以輸入+1常數，一第二輸入端以輸入-1常數，一控制端則連接至該第一加法器之一輸出端，以當該第一加法器累加結果超過一預設次數時，依此結果去調整DFE或是Analog AGC或是Digital AGC的參數；

一第二乘法器，將第二多工器之輸出乘以一特定常數；以及

一第三加法器，以將該第二乘法器之輸出及目前DFE或是Analog AGC或是Digital AGC的參數值累加，以調整目前DFE或是Analog AGC或是Digital AGC的參數值；

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 六、申請專利範圍

其中，該特定常數為DFE或是Analog AGC或是Digital AGC之參數值與該比率之比值再乘上該正值常數。

19. 一種方法用以估測出網路之一通道長度，該網路以一符碼速率傳送資料，該方法主要包括下述步驟：

一計算第一頻率響應平方步驟，接受一輸入訊號，在第一頻率處，計算出一第一頻率響應之平方值；

一計算第二頻率響應平方步驟，接受該輸入訊號，在第一頻率處，計算出一第二頻率響應之平方值；以及

一計算比率步驟，接收該第一以及該第二頻率響應之平方值，並計算出一比率；

其中，該比率與該通道長度為一近似線性關係；

其中，該第一頻率以及該第二頻率分別為該符碼速率的 $1/M$ 倍以及 $1/N$ 倍，其中 $M$ 以及 $N$ 為2的冪次方，且 $M$ 不等於 $N$ 。

20. 如申請專利範圍第19項所述之方法，其中，該第一頻率為15.625MHz，該第二頻率為31.25MHz。

21. 如申請專利範圍第19項所述之方法，其中該計算比率步驟尚包括：

一正規化步驟，該第一以及第二頻率響應之平方值正規化，獲得一第一視窗化訊號及一第二視窗化訊號，並計算出該比率。

22. 如申請專利範圍第19項所述之方法，其中，該第一頻率響應之平方值可近似為  $[x(0)-x(3)+x(1)-$

## 六、申請專利範圍

$$x(4)+x(7)-x(5)]^2 + [x(1)+x(2)+x(3)-x(5)-x(6)-x(7)]^2。$$

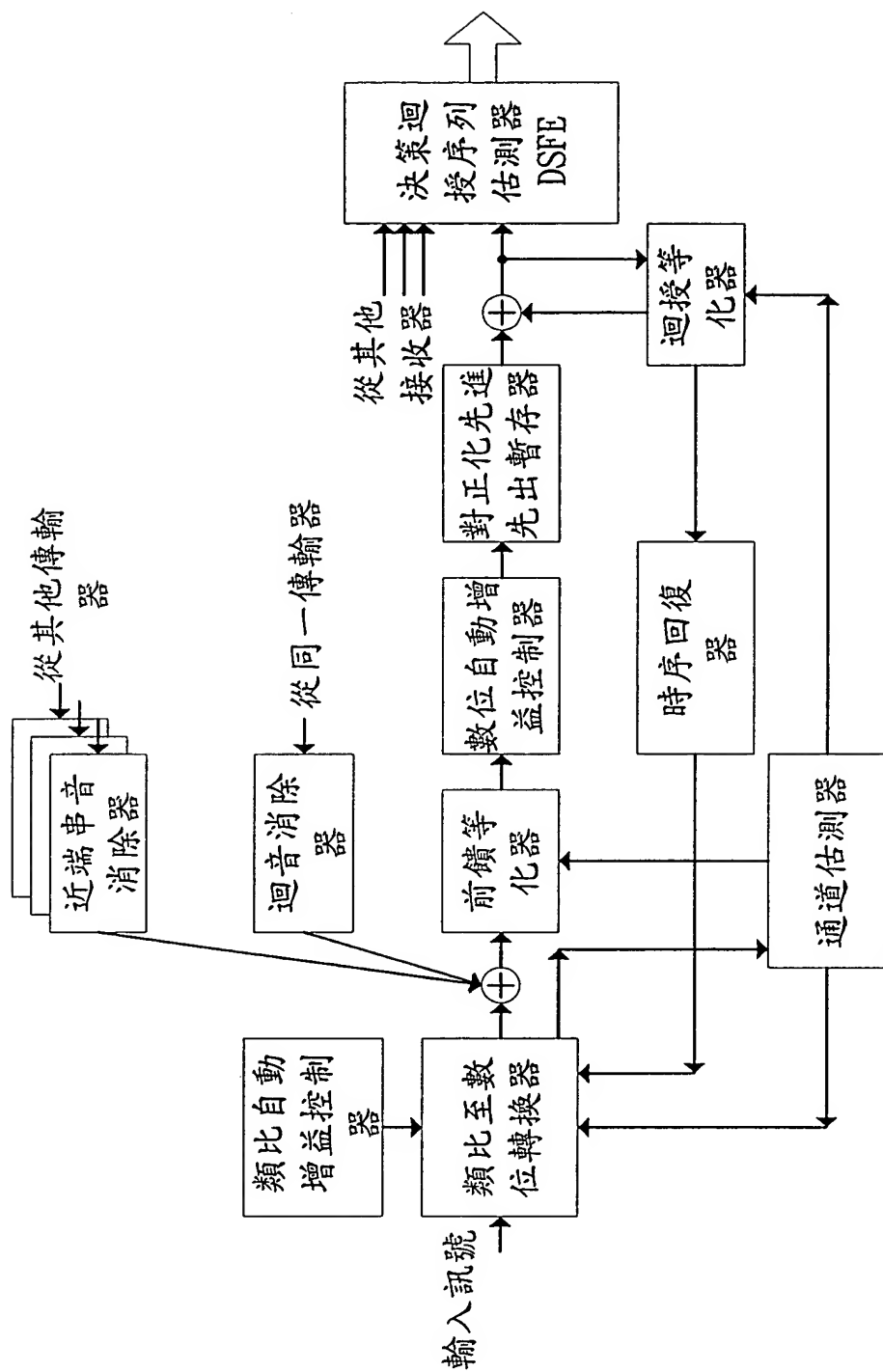
23. 如申請專利範圍第19項所述之方法，其中，該第二頻率響應之平方值可近似為  $[x(0)-x(2)]^2+[x(1)-x(3)]^2$ 。

(請先閱讀背面之注意事項再填寫本頁各欄)

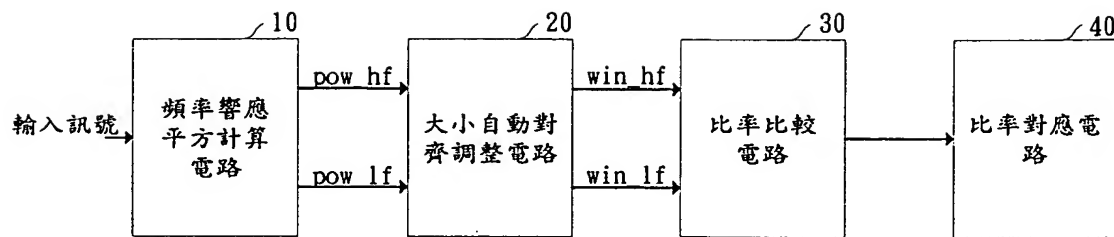
裝

訂

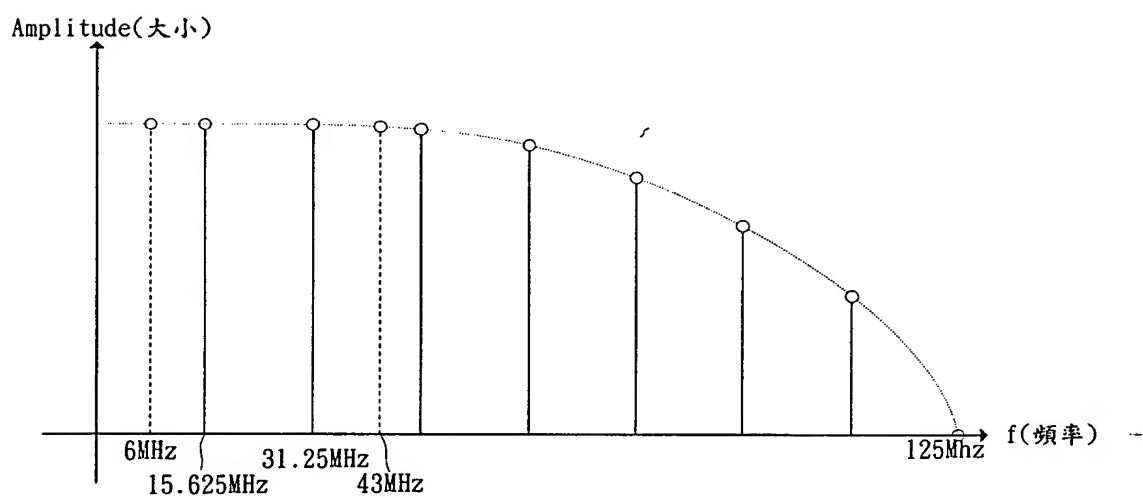
線



第 1 圖

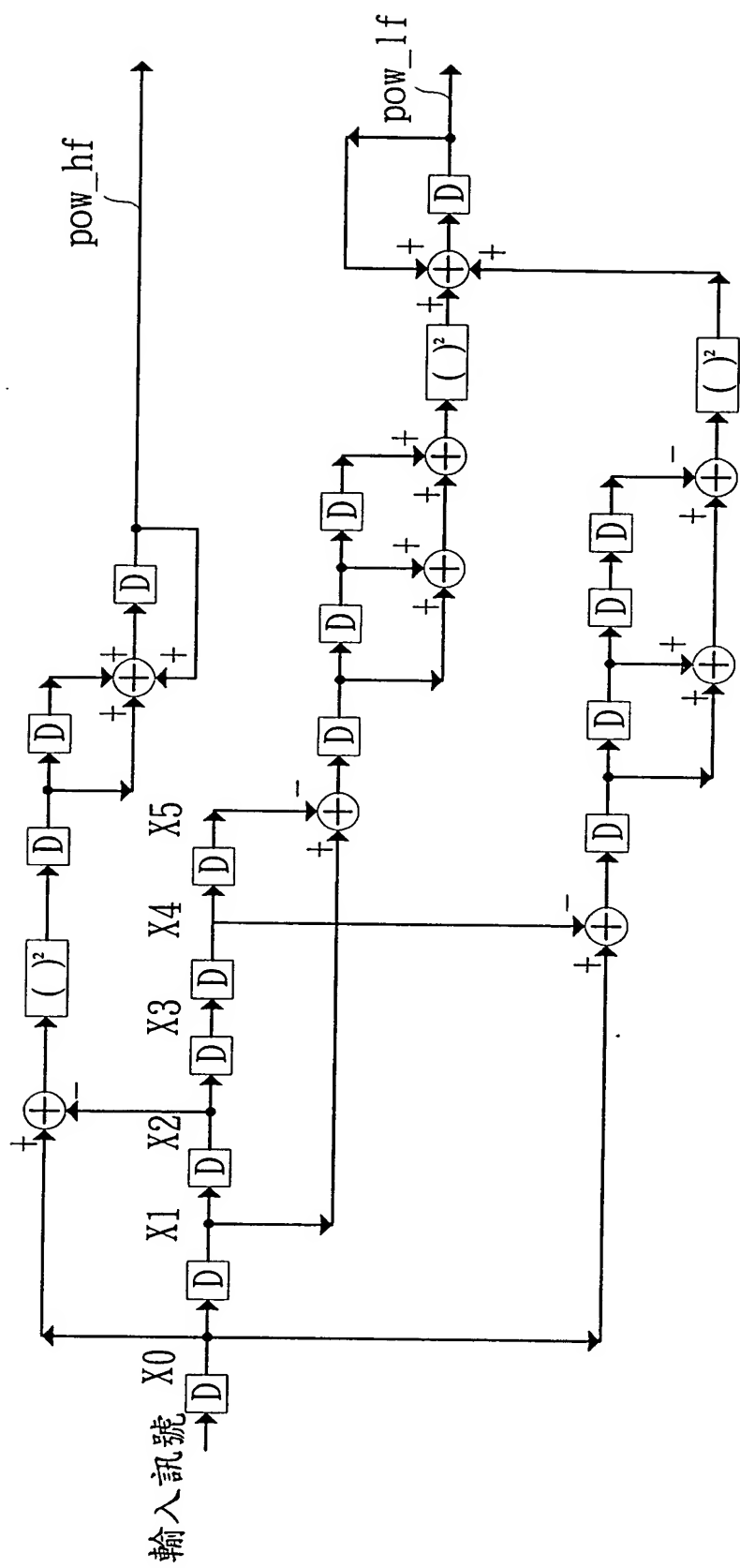


第 2 圖

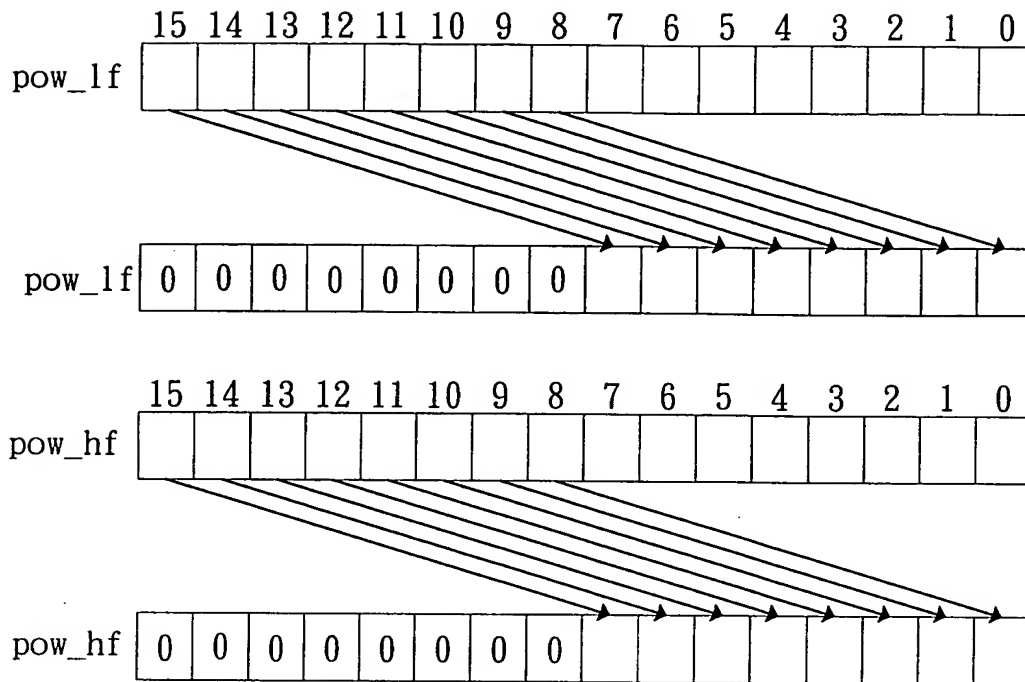


第 3 圖

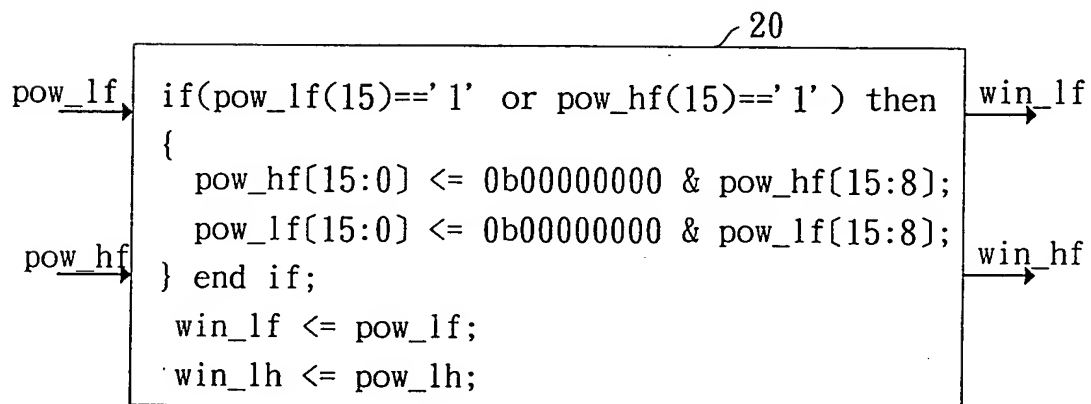




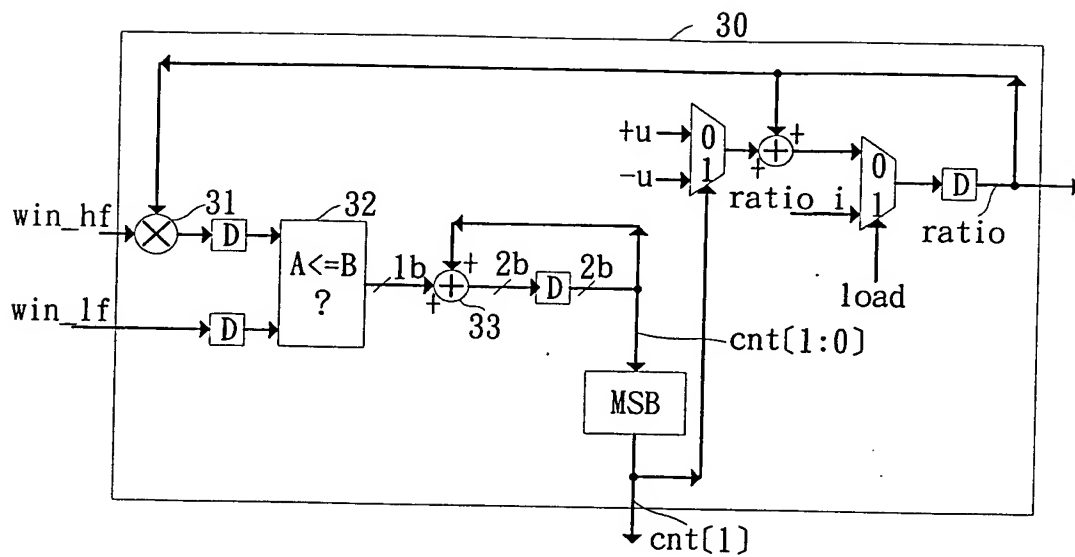
第 4 圖



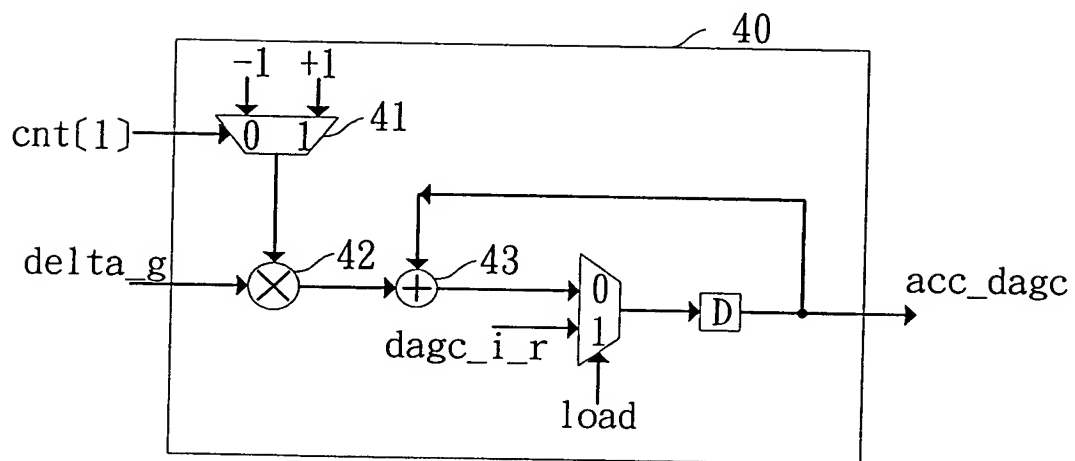
第 5 圖



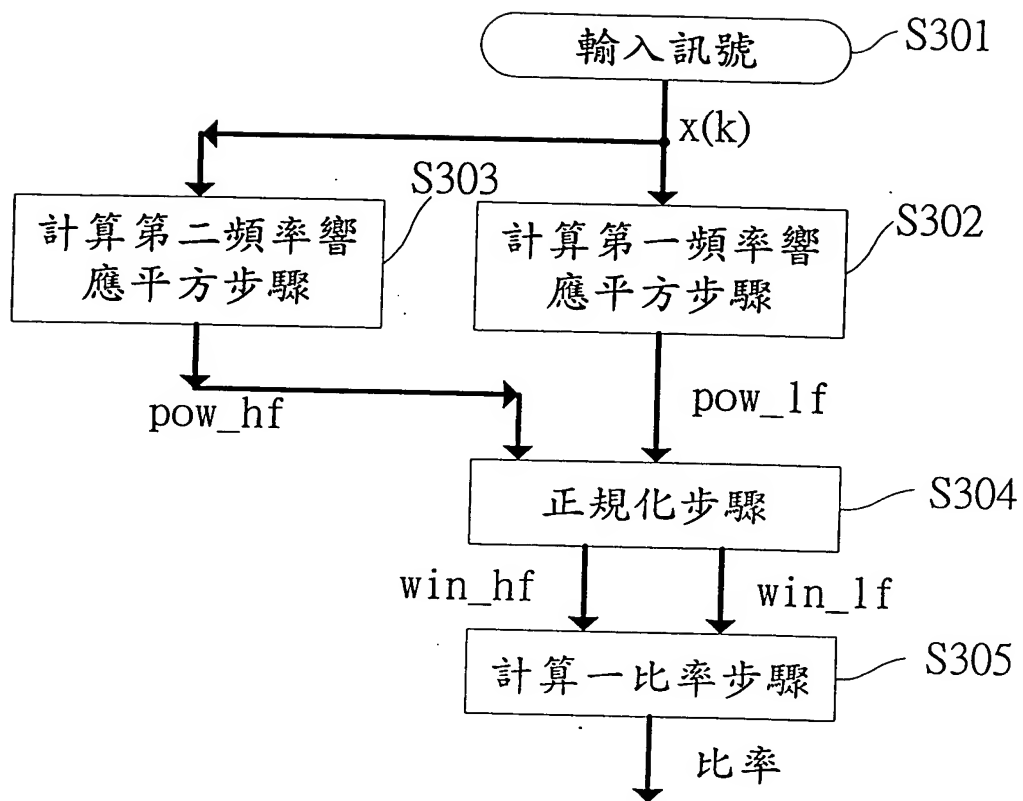
第 6 圖



第 7 圖



第 8 圖



第 9 圖